

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-100774

(43)Date of publication of application : 19.04.1989

(51)Int.Cl.

G11B 20/18

(21)Application number : 62-257131

(71)Applicant : HITACHI LTD
PIONEER ELECTRON CORP

(22)Date of filing : 14.10.1987

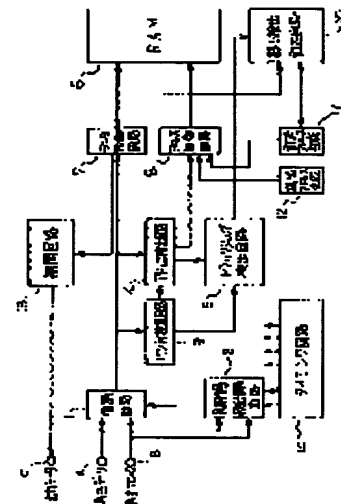
(72)Inventor : ITO MASAHIRO
OKAMOTO HIROO
HATANAKA YUJI
SAKAMOTO SHUNICHIRO
MIYAKE ICHIRO
WAKUMURA SHINICHI

(54) DIGITAL SIGNAL REPRODUCING DEVICE

(57)Abstract:

PURPOSE: To prevent erroneous correction and interleave deviation due to a code C2 from being generated by using the continuity of a synchronizing signal, a parity bit, and a block address attached on recording data, controlling them at the time of reproduction and detecting track jump at every block unit.

CONSTITUTION: The generation of the track jump is discriminated by detecting a frame address from reproducing data at a track jump detection circuit 5, and performing the coincidence inspection of the frame address at every block, the inspection of the continuity of the block address detected and protected at every block at an address detection circuit 4, and various kinds of conditions including the output of the inspection circuit 5 of a parity symbol attached at the time of recording. And the erroneous detection due to the C2 can be prevented from being generated by controlling the processing of an error correction circuit 10 so that erasure correction performed by using information in the correction of a code C1 can be prohibited at the time of correcting the code C2 when detecting the track jump.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑯ 公開特許公報(A)

平1-100774

⑮ Int. Cl.⁴

識別記号

庁内整理番号

⑯ 公開 平成1年(1989)4月19日

G 11 B 20/18

1 0 2

6733-5D

審査請求 未請求 発明の数 1 (全13頁)

⑰ 発明の名称 デジタル信号再生装置

⑱ 特 願 昭62-257131

⑲ 出 願 昭62(1987)10月14日

⑳ 発 明 者 伊 藤 雅 博 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

㉑ 発 明 者 岡 本 宏 夫 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

㉒ 発 明 者 畑 中 裕 治 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

㉓ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉔ 出 願 人 バイオニア株式会社 東京都目黒区目黒1丁目4番1号

㉕ 代 理 人 弁理士 小川 勝男 外1名

最終頁に続く

明 細 書

1. 発明の名称

デジタル信号再生装置

2. 特許請求の範囲

1. データを所定のビット毎に分割し、この分割毎に同期信号とアドレス信号と、このアドレス信号の誤り検出ビットとを付加してブロックを構成し、複数のブロックでトラックを構成し、上記データは第1と第2の誤り訂正符号を構成し、記憶回路と上記第1および第2の誤り訂正符号により訂正処理を行なうデジタル信号の再生装置において、上記アドレス信号の誤り検出結果を含む条件によつて、上記アドレス信号を検出保護する回路と、検出保護されたアドレス信号再生される複数のアドレス信号との一致を検出する回路と、少なくとも該一致検出回路の出力結果を含む条件によつて異常再生状態を検出する回路と、この異常検出回路の出力により少なくとも第1の誤り訂正符号で誤りが検出される様に記憶回路へのデータ書き込みを禁

止あるいは書き込むデータを変換する制御回路を設けたことを特徴とするデジタル信号再生装置。

2. 特許請求の範囲第1項記載の装置において、上記異常検出回路の出力により、第2の誤り訂正符号による訂正処理を、第1の誤り訂正符号による誤り検出訂正情報を用いに行なう様に訂正回路を切換える制御回路を設けたことを特徴とするデジタル信号再生装置。
3. 特許請求の範囲第1項記載の装置において、トラックを複数のフレームを構成し、同一フレーム内の複数のブロックに同一の第2のアドレス信号を含み、上記一致検出回路は、検出保護されたアドレス信号と再生される複数の第2のアドレス信号の一致を検出することを特徴とするデジタル信号再生装置。
4. 特許請求の範囲第1項記載の装置において、上記一致検出回路は、検出保護されたアドレス信号の連続性を検出することを特徴とするデジタル信号再生装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はデジタル信号の再生装置に係り、特にトラック単位で2重の誤り訂正を施す装置に好適なデジタル信号再生回路に関する。

〔従来の技術〕

従来のデジタル再生装置として、たとえばDAT（デジタルオーディオテープレコーダ）については「最新のAV機器とデジタル技術」（1986年）第63項から第79項において論じられている通り128ブロックで1トラックを構成し、1トラック単位で完結するC₁系列と、2ブロック単位で完結するC₂系列の2重の系列で符号を生成するとともに2トラックで1フレームを構成し、1フレームで完結する様にインターリーブ（データの分散）を施して記録する。再生時は各ブロックに付加されたブロックアドレスを正しく検出して、これによりRAMに書き込むアドレスを生成して、2トラック分のデータを記憶し、各トラック単位でC₁系列による符号（C₁符号）により誤り

があつた。

本発明の目的は、上記トラックジャンプを検出し、C₂符号による誤訂正の発生およびインターリーブずれを防止するデジタル信号処理回路を提供することにある。

〔問題点を解決するための手段〕

上記目的は、符号が完結するトラック単位あるいはインターリーブが完結するフレーム単位で、再生されるフレームアドレスあるいはブロックアドレスの一致または連続性を検査することによつて、各ブロック単位でトラックジャンプを検出し、該ブロックのC₁符号を意図的に誤らせること、または、トラックジャンプを検出したトラックにおけるC₂訂正をC₁訂正時の情報を用いず、C₂符号独自の情報によつてのみ訂正を行なう処理に切換えることにより達成される。

〔作用〕

上記トラックジャンプ検出におけるフレームアドレスまたはブロックアドレスの検査は記憶データに付加された同期信号、パリティビット、プロ

の検出と2シンボルまでの訂正を行ない、さらにC₁符号で訂正不能のデータについてはC₁訂正時の情報に基づき、C₂系列による符号（C₂符号）で6シンボルまでの訂正を行なう。以上C₂符号で訂正不能のものについては前値保持あるいは、前後正しいデータで平均値をとつて補間し、記インターリーブを解いて出力する。

〔発明が解決しようとする問題点〕

上記従来技術は通常再生時にテープ上の折キズや、走行機構系への瞬発的な外乱等で同一トラック内の数ブロックにわたつて、トラックジャンプを起こした場合は、この数ブロック内では、2ブロックで完結するC₁符号により誤りが検出できず、かつ、このC₁符号の情報に基づいてC₂訂正を行なうことにより誤訂正が発生することがある。さらに、2トラックで完結されたインターリーブの順序も異なることになるため、このまま出力すると時系列的に異なるサンプルのデータの並びとなり（インターリーブずれ）、あらかじめ記録した信号とは全く異つた信号となつてしまうという問題

ブロックアドレスの連続性等を用い、再生時にこれら諸条件に応じてトラックジャンプ検出開始タイミングを制御し、ブロック単位でトラックジャンプを検出するのでドロップアウトやランダム誤り等でトラックジャンプの誤検出が少なく、またトラックジャンプの誤検出がわずかにあつてもC₂訂正回数が減つて補間データが増えるだけであるから訂正処理における誤動作はない。

〔実施例〕

以下、本発明の一実施例を第1図により説明する。第1図はたとえばDATで代表されるデジタル信号再生装置に、本発明を用いたデジタル信号処理回路の構成を示すブロック図である。図中1は復調回路、2は同期信号検出保護回路、3はパリティ検査回路、4はブロックアドレスの検出回路、5はトラックジャンプ検出回路、6はRAM（ランダムアクセスメモリー）、7はメモリー6とのデータ入出力を制御する回路、8はデータをメモリー6からリード・ライトするアドレスを切換制御する回路、10は誤りの検出および訂

正を行なう回路、11は誤り検出訂正を行なうためにメモリー6のデータをリード・ライトするアドレスを生成する回路、12は誤り訂正後のデータをメモリー6から読み出すアドレスを生成する回路、13は誤り訂正回路10で訂正不能データを補間する回路、14は各回路を動作させるのに必要なタイミング信号を生成する回路である。

まず、入力端子A、Bには、波形等化された再生データと、再生信号から抽出された再生クロックが入力され、同期信号検出保護回路2で再生データから所定の同期信号を検出し、これによりタイミング回路14を同期、補正するとともに、各シンボルを構成する所定のビット単位に分割して、復調回路1で、各シンボル毎にデジタルデータをもとの2進数データに復調する。復調されたデータは、データ制御回路7を介してRAM6に入力され、さらに、アドレス検出回路4で記録時に付加されたブロックアドレス信号を検出・保護し、アドレス制御回路8により、RAMアドレスを生成して、インターリーブが完結するフレーム分の

データ26シンボルと、C₂検査シンボル6シンボルの計32シンボルで構成される。したがって、リードソロン符号の符号間最小距離はC₁が5、C₂が7となり、C₁符号では誤りの位置が不明の任意の2シンボルの誤り訂正ができる。誤りの位置が判明している場合は、4シンボルの誤りまで訂正可能であり、4重イレージャ（消失）訂正となる。C₂符号はそれぞれ3シンボル誤り訂正、6シンボルイレージャ訂正ができる。そこでC₁符号で最大2重誤り訂正を行ない、その状況に応じて誤り位置を示すフラグをセットし、C₂符号の復号の際にC₁訂正時にセットしたフラグを用いてイレージャ訂正を行なう。

このような訂正方式では、たとえば、テープの折キズやテープ走行系の外乱等で再生信号の数ブロックが異なるフレーム内にジャンプするような現象が起きた場合にも、上記訂正符号構成上、最低2ブロックの信号が再生できればC₁符号による誤りの検出と訂正が行なわれ、しかも、この異なるフレームのブロックによるC₁訂正情報をもとに、

全データをRAMに書き込む。以下、RAM6に書き込まれたデータを訂正アドレス生成回路11により所定のデータを読み出し、誤り検出訂正回路10で記録時に、2重の系列で符号化されたC₁符号、C₂符号を順次復号して誤りの検出および訂正を行なう。さらに、読み出しアドレス生成回路12でインターリーブを解く順序でRAM6から訂正後のデータを読み出す。

ただし、訂正時の情報に基づき、訂正不能のデータについては補間回路13により、前後の正しいデータで前値保持あるいは、平均値補間して出力端子Cから出力する。DATの場合出力端子Cから出力される信号は、さらに、DA変換することにより、アナログオーディオ信号を得る。

DATの誤り訂正符号は、C₁、C₂ともにリードソロン符号が用いられ、C₁系列が2ブロック単位で完結する28シンボルのオーディオデータと、4シンボルのC₁検査シンボルの計32シンボルから成る符号長32の符号である。C₂系列は、トラック単位で完結する4ブロックおきのオーディオデー

C₂符号で誤り訂正を行なうことになり、C₂訂正時に誤訂正を引き起こす原因となる。また、誤訂正が起きなくてもトラックジャンプした数ブロックのデータが、同一フレーム内のデータとして所定の処理がなされて出力されると、インターリーブルールが乱れることになり、再生時に、C₂系列によるサンプル順序で規則的かつ連続的な異データを発生させることになる。

そこで、本発明では、このようなトラックジャンプを検出するために、第1図のトラックジャンプ検出回路5で再生データからフレームアドレスを検出して、各ブロック毎にフレームアドレスの一致検査、あるいは各ブロック毎にアドレス検出回路4で検出保護されるブロックアドレスの連続性の検査および記録時に付加されるパリティシンボルの検査回路5の出力を含む各種条件によつて、トラックジャンプが発生したかどうかを判別し、トラックジャンプ検出時に誤り訂正回路10の処理を、C₂訂正時にC₁訂正時の情報を用いて行なうイレージャ訂正が禁止されるように制御することで

C₂による誤訂正の発生を防止することができる。

第2図は本発明による他の一実施例を示す回路ブロック図であり、第1図と同一符号は同一機能を有する同一回路である。

ここで、書き込みデータ制御回路9は、トラックジャンプ検出回路5により、ブロック単位でトラックジャンプ等の異常再生を検出した場合に、RAM6への再生データ書き込み処理を禁止する、あるいはデータ制御回路7を制御して、各異常ブロックの再生データのC₁検査シンボルデータを所定のコードに変換する等、少なくとも訂正時にC₁符号によつて必ず誤りと判別されるようにデータ処理する。この結果、出力時に異常ブロックのデータが正しいデータと混合してインターリーブを解いたり、C₂訂正時にC₁符号による誤り検出の誤った情報を用いて誤訂正を起こすことがなく、異常ブロックのデータは必ず正しいデータから生成される補間データで置換されることにより、インターリーブずれおよびC₂誤訂正による異常データの発生を防止することができる。

ヤ訂正が可能だったものを、C₁訂正情報を用いず、C₂符号によるシンδροームチェックのみで、2シンボル訂正までしか実施しないことで訂正能力は低下するが、訂正不能ワードについては、前後の正しいデータを用いて補間処理されるため、聴感上不快感を与えず、誤ったC₁訂正情報を用いたC₂誤訂正を完全に防止できる効果がある。

本発明による実施例の動作を、第4図のタイミング図で説明する。

第4図Aは第1図～第3図のタイミング生成回路14で発生させるシリンダサーボ基準信号である。DATの場合は、通常再生時シリンダ回転数は2000rpmであるため、1周期30msecである。この基準信号によつてシリンダの回転数およびシリンダに取り付けられたヘッドの位相関係を一定に保ち、2ヘッド90°巻き付けの場合、図Bに示した90°毎のタイミングで再生信号を得る。DATのフォーマットでは、再生信号90°の中央にオーディオのPCMデータ、両端にサブコードデータ(図中、S)があり、サブコードエリアと、

第3図は本発明による他の一実施例を示す回路ブロック図であり、第1図、第2図と同一符号は同一機能を有する同一回路である。

本実施例では、トラックジャンプ検出回路5におけるトラックジャンプ判別の信頼性に応じて、RAMへ書き込むデータ処理を施すか、C₂イレージャ訂正を禁止するかを選択する。これはRAMへ書き込むデータを変換あるいは、禁止することによつて意図的にC₁エラーとすることで、トラックジャンプの誤検出が増えると、2ブロック単位で全データを破損しエラーレートを悪化させ、本来訂正可能であるケースも、システム上ミュータがかかつたり聴感上検知できる種再生データの忠実度をそこなう場合が考えるため、トラックジャンプ判別の信頼性が高い条件で実施する。

このようにした場合、逆にトラックジャンプの検出もれが発生しやすくなるため、さらに検出もれのない条件でC₂イレージャ訂正を禁止する。この場合ならば誤検出が発生してもC₁訂正情報によつて、本来C₁符号では6シンボルまでのイレージャ

PCMエリアの間にトラック用パイロット信号等が配置されている。また、図Jは、RAM処理のタイミングの一例を示したもので、データ書き込みは再生信号Bを、リアルタイムでRAMに転送するタイミングでたとえばRAMスロット(1)を使用し、さらに、RAMでは標準化周波数のチャネル数倍の周期で訂正後のPCMデータを読み出す必要があるため、これを、RAMスロット(2)で処理することにより、書き込みおよび読み出しタイミングが重ならない様にする。また、訂正処理は、読み出しと同じスロット(2)で行ない、読み出しタイミングの間を利用して同一トラック内で完結できる様に処理する。RAMの容量が大きければもちろん訂正処理を1トラック遅延させることも可能である。訂正処理を同一トラック内で完結させるためには、C₁訂正処理開始タイミングからわかる様にPCMデータが1トラック分せろう前に訂正処理が開始される。

したがつて、再生信号中のPCM部分は、図Iで示したデータ書き込みエリア内に有り、かつデー

データ書き込みのために検出するブロックアドレスが、 C_1 訂正アドレスに対して先行していなければならない。また、図Cはブロックアドレス検出を保護するための、PCMエリアゲート信号であり所定の条件判断で検出されたブロック・アドレスをロードし、条件が満たない時はカウントアップするカウンタにより生成される。図Dがこのロード信号である。PCMエリア外では、ブロックアドレスの検出処理は行なわれないとともに、PCMエリア信号内でも、前記所定の条件が最初に満足する。すなわち、トラック内の正しい先頭ブロックが検出される図中Cまでの間は、RAMへ書き込むデータをインシャライズする。(図中g領域)

ブロックアドレスの検出条件としては、たとえば同期信号の検出有無、パリティチェック、検出ブロックアドレスの連続性、検出ブロックアドレスの C_1 訂正アドレスに対するアドレス先行性等が挙げられる。ここで図Bに示すように、トラックの先頭aがドロップアウトで欠落し、図中bで示すエリアがトラックジャンプしたとすると、ロー

で閉じる先頭フラグ(図E)を生成し、フラグが閉じた瞬間(d)からPCMエリア内でのみ、トラックジャンプの検出回路を動作させる様に制限することで信頼性を高めることができる。

トラックの先頭が正しく検出されるまでの信号Fの領域は、図中、gと同一エリアでRAMのインシャライズ処理となり、検出データはRAMに書き込まれない。また、トラックジャンプ検出信号が出力されたブロック(図中b)は、RAMへのデータ書き込み禁止あるいは、少なくとも C_1 訂正時に誤りと判別できる様に、 C_1 検査シンボルのデータを変換することにより、 C_2 誤訂正およびインターリーブずれを防止し異常データが出力されない様にする。ここで、トラックジャンプ検出時に C_1 検査シンボルのデータを変換して、 C_1 訂正時に必ず誤りとなる様にさせるのは、トラックジャンプが誤検出であつた場合は、 C_2 訂正時に行なうシンδροームチェックで C_1 訂正時に誤りと判別されたデータが、再び正しいデータとして再生できることにより、誤り訂正効果が高くなるといつた

ド信号DはPCMエリアC内では、ドロップアウトaが終了する図中cで初めて生成される。また数ブロックにわたつてトラックジャンプbが発生しても、上記条件では検出できず、図中fに示すようにロード条件が成立する場合が十分起こり得る。そこで、上記条件に合わせて、さらに、フレームアドレスを検出し、各ブロック単位で一致検査、あるいは、図中fのようにトラックジャンプ時ロード条件が成立する場合には、本来起こり得ない保護されたブロックアドレスの非連続性を検出することによつて、ブロック単位でトラックジャンプ検出信号Gを出力する。ただし、図Fに示すようにPCMエリア内Cでかつ初めて、ロード条件が成立する図中cからトラックジャンプを検出することによつて、先頭のドロップアウトaで生じる異常によつてトラックジャンプの誤検出を防止する。この検出エリア信号Fは、たとえば、トラック単位で生成されるデータ書き込みエリア、すなわち、トラックの先頭でセットし、PCMエリア信号Cでゲートをかけ、最初のロード条件C

効果があるためであり、もちろん、ブロック内全データの変換あるいは、 C_1 検査シンボル以外のデータ変換によつて C_1 訂正時に誤りと判別させるようにしても、 C_2 誤訂正、インターリーブずれに対する効果は同様に得ることができる。

また、前記トラックジャンプ検出信号Gが1トラック内で一度でも出力された場合に、 C_2 訂正処理タイミングを完全にカバーする様な信号Hで、 C_2 訂正の処理方法を、 C_1 訂正時の情報を用いて行なうイレージャ訂正のみ禁止することによつても、 C_2 誤訂正を防止することができる。この C_2 訂正処理制御は、トラックジャンプが検出されたトラックのデータを、 C_1 訂正する直前までのタイミングで状態が確定し、 C_2 訂正が終了した後にセットするタイミングでよく、第2図で示したトラック完結処理の場合は毎トラックの先頭でセットし、PCMエリア内でトラックジャンプを検出して、 C_2 訂正アルゴリズムを切換えればよい。

本発明によるトラックジャンプ検出処理の一実施例を、第5図のフローチャートにより説明する。

本実施例では、第4図で示した如く、再生信号と同一のトラック内で訂正処理が完結するタイミングの場合で示している。即ち、図中、分岐a, cによつてトラックの先頭もしくはPCMエリア外で検出回路を初期セットするb)。

これは、PCMエリア信号は再生信号に追従すること、さらに、回転シリンダの位相が乱れる場合があることを考慮し、PCMエリア信号が所定のRAM処理タイミングとずれた場合にも、トラックジャンプ誤検出や、訂正処理アルゴリズム変更のタイミングエラーによる誤動作を防止するためである。検出回路が初期セットされた後は、分岐dによつて検出したブロックアドレスが偶数の場合のみ、本トラックジャンプ検出処理が動作する様に制御する。これは、本実施例では、フレームアドレスのチェックを主にして、トラックジャンプの検出を行なうもので、DATの場合フレームアドレスは偶数ブロックにしか記録されないためである。

分岐eでは、トラックジャンプ検出動作が開始

ニシヤライズ動作が行なわれ、トラックジャンプ検出スタート以前で、トラックジャンプが発生してもRAM上へは再生データが書き込まれないから、再生処理および出力信号に異常を起こすことはない。先頭時、条件1が満足した場合は、レジスタ1, 2共に、同一のフレームアドレスがラッチされ、分岐hによつて実際には、次に検出されるフレームアドレスからトラックジャンプの検出動作に入る。検出動作に入ってから2番め以降に検出されるフレームアドレスは、レジスタ2にラッチされ、レジスタ1の基準となるフレームアドレスとの一致を行ない、もし一致していれば正常な再生をしていると判断し、もし、一致しなければ条件2および条件3を判別することによつてドロップアウトや、ランダムエラーによるフレームアドレスの不一致であることを識別する。すなわち、条件2, 3には単純なドロップアウトやランダムエラーの発生で、フレームアドレスが一致しない場合には、非常に高い確率で満足しなくなる条件を選択することによつて、条件2, 3を満た

された後かどうかにより、処理を切換える。即ち検出回路の初期セット(b)によつて、検出エリアをオフしておき、分岐eによつて、先頭時には、条件1を満たした場合(分岐f)に初めて、トラックジャンプ検出動作をスタートさせ(検出エリアオープンg)、同時にレジスタ1, 2に検出したフレームアドレスをラッチする。レジスタ1へは条件1を満足するブロックのフレームアドレス信号がトラック内最初に1回しかラッチされず、これは、以下、順次検出されるフレームアドレス信号と、比較すべき基準となるので、条件1には、正しいフレームアドレスが確実に検出される条件を選択しなければならない。つまり、厳しすぎる条件では、トラックジャンプ検出動作スタートが遅れ、その間にトラックジャンプが発生した場合に検出もれが起こるといった問題が出てくるためである。そこで、条件1には、前述したPCMエリア信号を生成するカウンタのロード条件と同じくすれば先頭のロード条件が満足するまでは、ブロックアドレス検出保護回路において、RAMイ

し、かつフレームアドレスが一致しない場合をトラックジャンプの発生であると判別する。

ここで、条件2によつてトラックジャンプを検出した場合は、検出したブロックのデータは、C₁符号によつて誤りが検出されない場合が十分考えられるから、RAMへ書き込む際、前述した如く少なくともC₁訂正時に誤りが検出できる様に、C₁検査シンボルのデータ変換あるいはデータ書き込み禁止とする。

さらに、条件3によつてトラック内において1度でもトラックジャンプを検出した場合には、そのトラックにおけるC₂訂正処理を、C₁訂正時の情報を用いたC₂イレージャ訂正のみ禁止することにより、イレージャ訂正による誤訂正の発生を防ぐ。この場合、C₂符号では最大6重イレージャ訂正が可能だつたものが、最大2シンボルまでの誤り訂正となり、訂正能力は落ちるが、50msecのフレーム単位で出力信号に補間データが増えるだけで誤訂正による異常信号の発生を防ぐことができ、オーディオ信号の場合、聴感上全く問題がない。

本実施例における条件1, 2, 3の具体的な要素として、たとえば以下のような条件を組合せることにより構成できる。(1)同期信号検出結果、(2)バリテイチエック結果、(3)再生、ブロックアドレス信号の連続性、(4)再生、ブロックアドレスのC₁訂正アドレスに対する先行性、等である。ここで、前記条件1, 2, 3の構成の一実施例を述べる。まず条件1は、PCMエリアカウンタのロード条件と同一とすると効果が高い事は前述したが、このロード条件で基準となるフレームアドレスをラッチするので、誤検出が少なくなる様上記(1)~(4)の全ての条件構成とする。条件2, 3は、共にトラックジャンプの検出に関与するものであり、条件2ではRAM書き込みデータの交換によつて意図的にC₁誤りとするものであるから、条件2の誤検出が多いと、エラーレートが高くなる問題が生ずる。このため、少々誤検出もれよりも誤検出を極力少なくする条件構成が適しており、たとえば条件1と同じくロード条件である前記(1)~(4)全てを含む構成とする。あるいは、フレーム単位で

はレジスタ、22はフレームアドレスの一致チエック回路、23, 25はセトリセトリフリップフロップ回路、24, 26はD-フリップフロップ回路、27~32はANDゲート回路、33~42は入力端子、43, 44は出力端子である。レジスタ20, 21は前述したフレームアドレスをラッチするための回路であり、レジスタ20には基準のフレームアドレス信号を先図1回だけラッチしてホールドするため、ラッチクロックはフレームアドレスラッチクロック1と、フレームアドレスが記録されているブロックのみ検出するためのブロックアドレスLSSB信号と、条件1およびトラックジャンプの検出エリアを生成するセトリセトリフリップフロップ回路25の出力とをゲート28で条件積をとつて入力する。

検出エリアの生成回路を構成するセトリセトリフリップフロップ25は、トラックの先頭で初期セットし、レジスタ20に基準のフレームアドレス信号がラッチされるとリセットされ、検出エリアがオープンとなる。検出エリアがオープンされていない間はレジスタ20はリセットされており、レ

ジスタ21には、2ブロック毎に信号がラッチされて、レジスタ20, 21との一致結果が得られないため、トラックジャンプの誤検出が誘発されやすくなるが、これを防ぐためにトラックジャンプ検出信号の出力付近で、PCMエリア外または検出エリア外では、D-フリップフロップ回路24, 26をリセットする。フレームアドレスの不一致信号はゲート31, 32によつて、さらに条件2, 3によつて判別され、フレームアドレスが一致せずかつ条件3を満足した信号は、D-フリップフロップ回路24にラッチされ、トラックの先頭でリセットされるセトリセトリフリップフロップ25によりトラック内で1度でもフリップフロップ24に前記状況が発生した場合は、C₂訂正タイミングをカバーするタイミングで、C₂訂正処理変換のための制御信号(第4図H)を出力端子44から出力する。

第5図で示した本発明によるトラックジャンプ検出処理を実現するトラックジャンプ検出回路の一実施例を第6図により説明する。図中、20, 21

はレジスタ、22はフレームアドレスの一致チエック回路、23, 25はセトリセトリフリップフロップ回路、24, 26はD-フリップフロップ回路、27~32はANDゲート回路、33~42は入力端子、43, 44は出力端子である。レジスタ20, 21は前述したフレームアドレスをラッチするための回路であり、レジスタ20には基準のフレームアドレス信号を先図1回だけラッチしてホールドするため、ラッチクロックはフレームアドレスラッチクロック1と、フレームアドレスが記録されているブロックのみ検出するためのブロックアドレスLSSB信号と、条件1およびトラックジャンプの検出エリアを生成するセトリセトリフリップフロップ回路25の出力とをゲート28で条件積をとつて入力する。

検出エリアの生成回路を構成するセトリセトリフリップフロップ25は、トラックの先頭で初期セットし、レジスタ20に基準のフレームアドレス信号がラッチされるとリセットされ、検出エリアがオープンとなる。検出エリアがオープンされていない間はレジスタ20はリセットされており、レ

C₁検査シンボルの領域である奇数ブロックの最後8シンボル分のエリアを識別するコントロール信号が入力され、ゲート27によりトラックジャンプが検出されたブロックのC₁検査シンボルのみ、ゲートされた信号が出力端子43から出力される。これによりRAM書き込みデータを、たとえば全ビット“1”等のコード変換することにより、該当ブロックのC₁訂正時には必ず誤りとなる。これにより、トラックジャンプによるC₂誤訂正、およびインターリーブずれを起こしたままの異常出力を防ぐことができる。

本発明によるトラックジャンプ検出処理の他の一実施例を、第7図のフローチャートにより説明する。本実施例では、トラックジャンプが起こった場合、数ブロックの間で前述したロード条件が成立してしまうことにより、検出保護されたブロックアドレスの連続性がそくなわれることに着目し、これを主な条件として、トラックジャンプを検出する実施例である。図中a~e、およびfは第5図で示した機能、処理と同一内容である。ま

ないことがあり、ブロックアドレスは単純カウンタアップにより保護されたまま、異なるフレームのデータを数ブロック分RAMに書き込んでしまう。この場合は、C₂誤訂正が発生しやすくなる。即ち、トラックジャンプの検出もれである。したがって分岐hで検出ブロックアドレスの非連続性が検出されない場合は、さらに分岐i、jにより誤検出よりも検出もれの少ない条件を考慮して選択する。たとえば条件5は、パリティチェック結果を用い、パリティ条件が成立しかつ、分岐jで再生ブロックアドレスと検出ブロックアドレスの一致が検出できなかった場合はトラックジャンプと判断する。分岐iのパリティチェック条件が成立しない場合は、ドロップアウトによりロード条件が成立せずブロックアドレスは保護された状況であると判断でき、分岐jで再生ブロックアドレスと、検出ブロックアドレスの一致が検出された場合は、ロード条件が成立するエラーのない通常の再生状況のパスである。

第7図で示した本発明によるトラックジャンプ

た、図中。〜はトラックジャンプの検出エリアを確定するための専用の処理であり、第5図で述べた同一の理由により、条件4は、ロード条件と同じくすることが適している。トラックジャンプ検出動作が開始された後は、分岐hにおいてアドレス検出回路によつて検出保護されたブロックアドレスの連続性をチェックする。ここでトラックジャンプが数ブロックにわたつて発生し、これらのブロックでロード条件が成立すれば、ブロックアドレスを検出保護するカウンタに異なるフレームのブロックアドレスがロードされることになり、トラックジャンプの前後でブロックアドレスが連続する確率はブロックアドレス全7ビットのうち、チェックするビット数が多くなるほど小さくなる。従つて、検出保護されたブロックアドレスの非連続性が検出された場合は、ただちにトラックジャンプの発生と判断でき、その場合は前述と同様、訂正回路におけるC₂イレージャ訂正処理を禁止する。ところがトラックジャンプが発生しても誤検出の少ない厳しいロード条件では成立し

検出処理を実現するトラックジャンプ検出回路の一実施例を、第8図により説明する。

図中、50~57は入力端子、58はトラックジャンプ検出時の誤り訂正処理切替制御信号の出力端子、59は第1図~第3図で示したアドレス検出回路4を構成する検出保護用アドレスカウンタ、60はラッチ回路、61は検出ブロックアドレスの連続性検出回路、62は再生ブロックアドレスと、検出ブロックアドレスの一致検出回路、63は検出エリア生成回路を構成するセトリセットフリップフロップ回路、64、65はANDゲート、66はORゲート、67はD-フリップフロップ回路、68はセトリセットフリップフロップ回路である。アドレスカウンタ59では再生したブロックアドレス信号を入力し、このブロックの再生時に前述したロード条件が成立すればこれをロードし、成立しなければクロックにより単純カウンタアップすることによつてブロックアドレスを保護する。したがって、ドロップアウトやランダムエラーが存在しても通常の再生状態では、アドレスカウンタ59の出力であ

る検出ブロックアドレスはほとんどの場合、連続性を保つことになる。ただし、トラックジャンプが発生した場合は、そのブロックについて容易にロード条件が成立し、その結果ロードされるブロックアドレスは連続性をそこなう確率が非常に高くなる。従つて、検出ブロックアドレスをラッチ回路60で1ブロック遅延させ、ラッチ回路60とアドレスカウンタ59の出力とで検出ブロックアドレスの連続性を連続性検出回路61で検出し、非連続性が1トラック内で1ブロックでも検出された場合は、ゲート66を介してD-フリップフロップ回路67にラッチし、セトリセットフリップフロップ回路68をセットすることで、C₂訂正処理切換信号を生成する。また、検出ブロックアドレスの連続性チェックでトラックジャンプの検出もれが発生することを考慮して、さらに、アドレスカウンタの入出力信号、即ち再生ブロックアドレスと、検出ブロックアドレスとの一致を、一致検出回路62でチェックし、条件5すなわちバリタイチェックが成立しかつ、検出/再生ブロックアドレ

スが一致しないときのみをゲート65で検出して、トラックジャンプと判断する。

検出エリア生成回路および誤り訂正処理の制御信号生成回路を構成するセトリセットフリップフロップ63および68は、誤り訂正処理が再生信号と同一トラック内で完結される場合は、入力端子50からトラックの先頭信号を入力することにより初期セットし、検出エリアは条件4（たとえばロード条件と同一）の成立によつて検出エリアをオープンにするとともに、PCMエリア外または検出エリア外ではトラックジャンプ誤検出防止のために、トラックジャンプ検出信号のラッチ回路であるD-フリップフロップ67をリセットする。

〔発明の効果〕

本発明によれば記録媒体における傷や、メカ走行系の外乱等により、通常再生では起こり得ない異なるフレーム信号のクロス再生や、トラックジャンプ再生がブロック単位あるいは、訂正処理が完結するトラック単位で検出でき、この検出信号を用いて、上記異常再生発生時のみメモリーへの

データ書き込み制御あるいはC₂訂正処理をイレージャ訂正のみ禁止することにより、異フレームデータのC₂訂正時に必ず誤りが検出できる、または誤つたC₂訂正時の情報を用いてC₂イレージャ訂正を行なうことがないので、C₂誤訂正あるいはインタリープずれによる異常データの出力を防止する効果がある。

4. 図面の簡単な説明

第1図、第2図、第3図は本発明の一実施例のデジタル信号再生回路ブロック図、第4図は、第1図～第3図で示した回路の動作タイミング図、第5図は本発明のトラックジャンプ検出処理の一実施例を示すフローチャート図、第6図は第4図のトラックジャンプ検出処理を実現する一実施例のトラックジャンプ検出回路図、第7図は本発明によるトラックジャンプ検出処理の他の一実施例を示すフローチャート図、第8図は第7図のトラックジャンプ検出処理を実現する一実施例のトラックジャンプ検出回路図である。

3-バリタイ検査回路

4-ブロックアドレス検出保護回路

5-トラックジャンプ検出回路

6-RAM 7-データ制御回路

8-RAMアドレス制御回路

9-書き込みデータ制御回路

10-誤り検出訂正回路

22-フレームアドレス一致回路

61-検出ブロックアドレス連続性検出回路

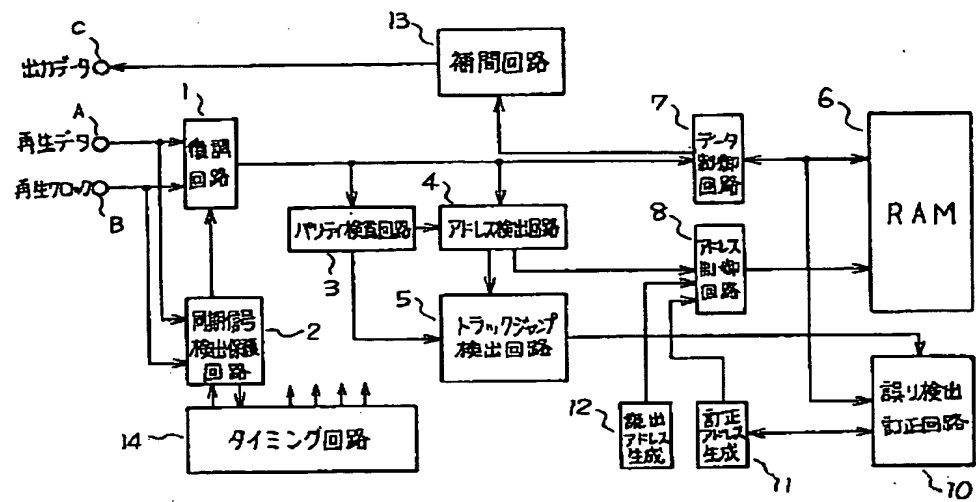
62-再生/検出ブロックアドレス一致回路

23, 63-トラックジャンプ検出エリア生成回路

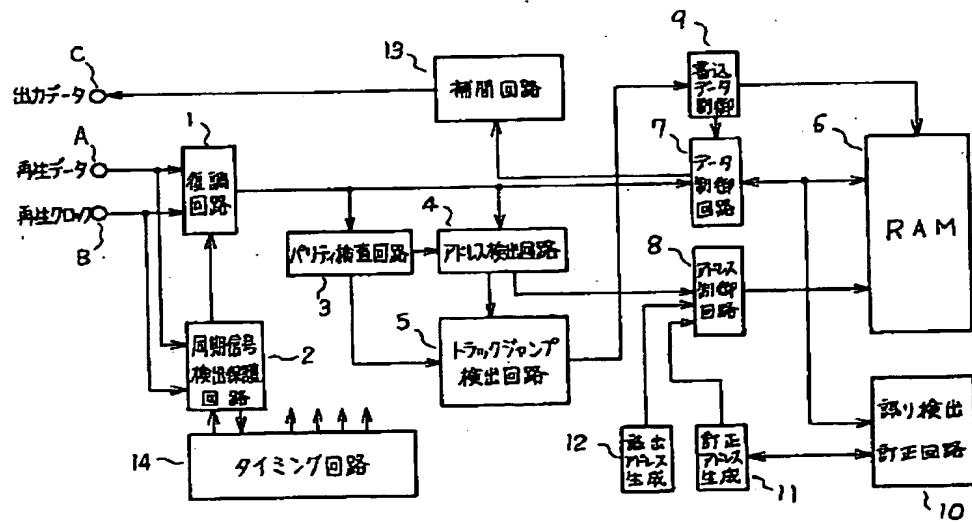
代理人 弁護士 小川 勝 男



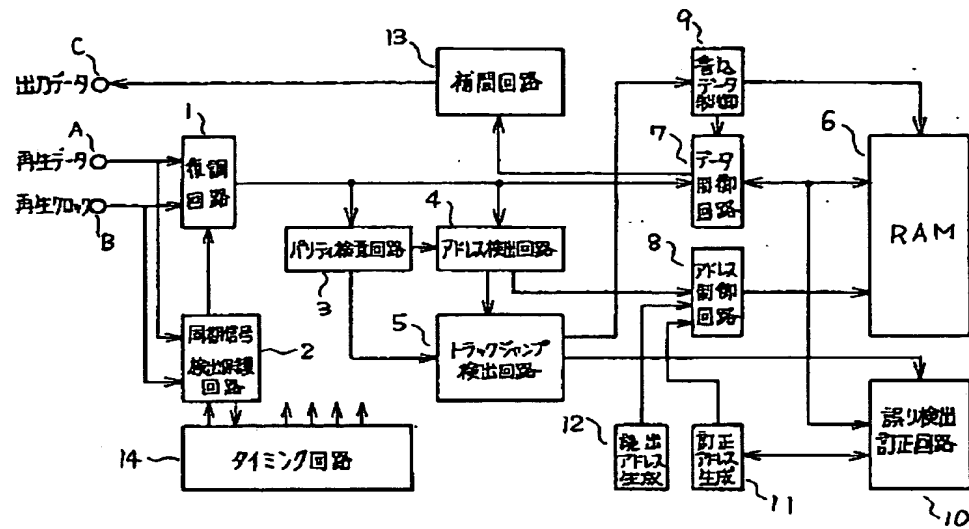
第 1 図



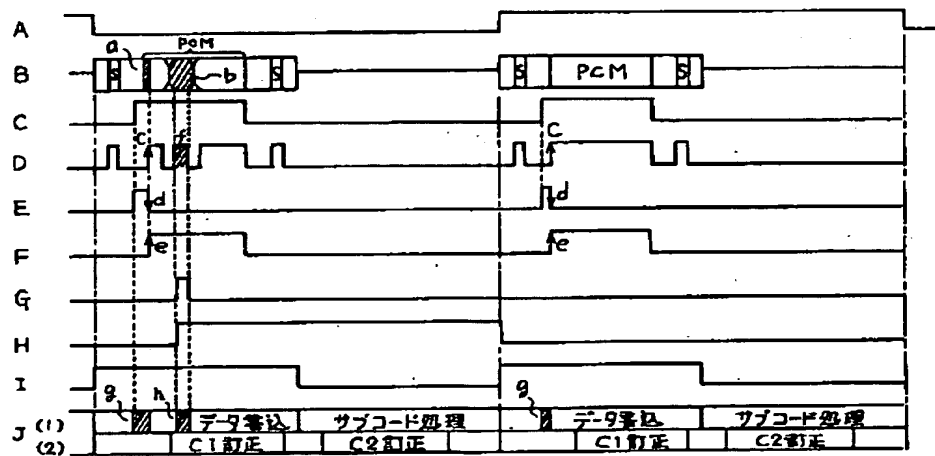
第 2 図



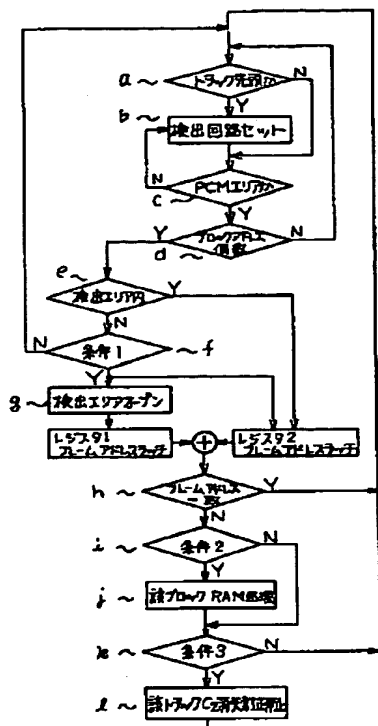
第 3 図



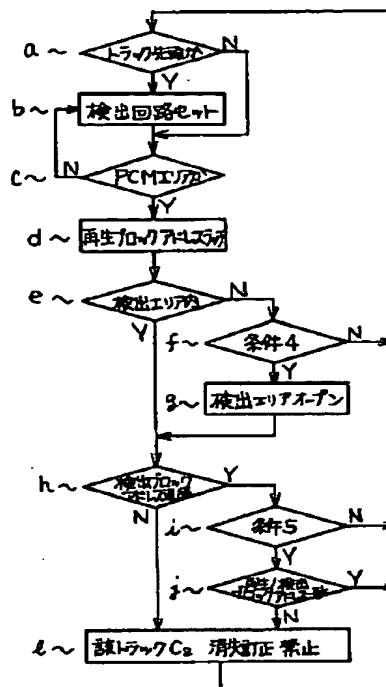
第 4 図



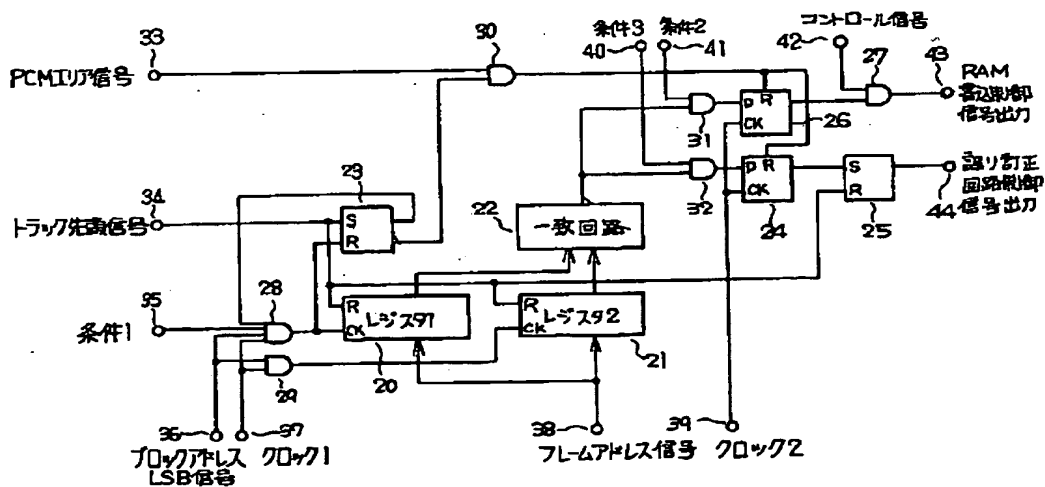
第 5 図



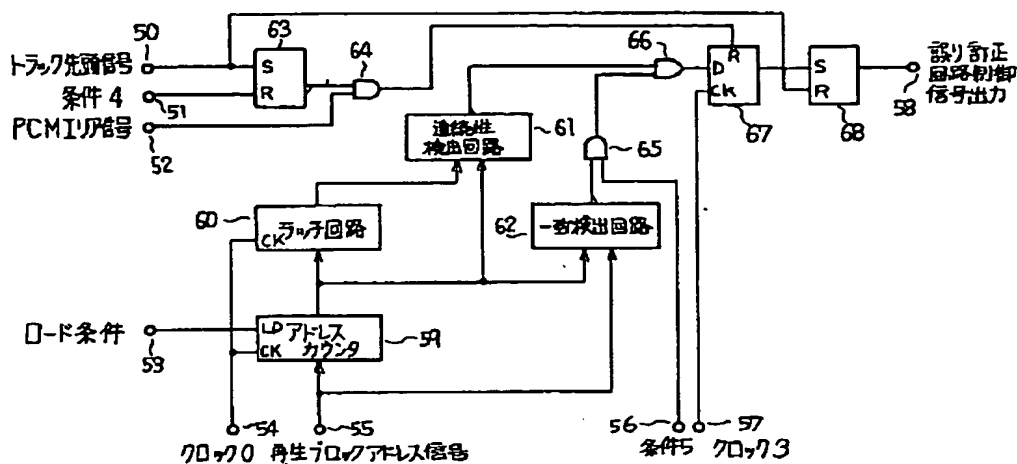
第 7 図



第 6 図



第 8 図



第1頁の続き

⑬発明者	坂本	俊一郎	埼玉県川越市山田字西町25番地1 越工場内	パイオニア株式会社川
⑭発明者	三宅	一郎	埼玉県所沢市花園4丁目2610番地 沢工場内	パイオニア株式会社所
⑮発明者	涌村	進一	埼玉県所沢市花園4丁目2610番地 沢工場内	パイオニア株式会社所

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第6部門第4区分
 【発行日】平成5年(1993)12月17日

【公開番号】特開平1-100774
 【公開日】平成1年(1989)4月19日
 【年通号数】公開特許公報1-1008
 【出願番号】特願昭62-257131
 【国際特許分類第5版】
 G11B 20/18 102 9074-5D

手続補正書

平成5年2月26日

特許庁長官 殿
 事件の表示

昭和62年特許願第257131号

発明の名称 デジタル信号再生装置

補正をする者

特許出願人

名 義 (510) 株式会社 日立製作所

名 義 (501) パイオニア株式会社

代理人

住 所 〒100 東京都千代田区丸の内一丁目5番1号
 株式会社日立製作所内
 電話番号 3212-1111(大代表)
 氏 名 (8850) 小川 勝 男

補正による増加する発明の数 1

正の対象 明細書の特許請求の範囲の欄

補正の内容 別紙の通り

特許請求の範囲

1. デジタルデータに第1の誤り訂正符号および第2の誤り訂正符号を付加し、前記デジタルデータおよび誤り訂正符号を所定のビット毎に分割してブロックとし、ブロック毎に同期信号とブロックアドレスを付加し、複数個のブロックでトラックを構成して記録されたデジタル信号を再生する装置であり、再生デジタルデータを再生ブロックアドレスを用いて記憶回路に記憶し、前記第1および第2の誤り訂正符号により順次訂正処理を行うデジタル信号の再生装置において、前記再生ブロックアドレスの連続性を検査する検査回路を設けたことを特徴とするデジタル信号再生装置。
2. デジタルデータに第1の誤り訂正符号および第2の誤り訂正符号を付加し、前記デジタルデータおよび誤り訂正符号を所定のビット毎に分割してブロックとし、ブロック毎に同期信号、ブロックアドレスおよびトラック識別アドレスを付加し、複数個のブロックでトラックを構成して記録

されたデジタル信号を再生する装置であり、再生デジタルデータを再生ブロックアドレスを用いて記憶回路に記憶し、前記第1および第2の誤り訂正符号により順次訂正処理を行うデジタル信号の再生装置において、トラック内での再生トラック識別アドレスの同一性を検査する検査回路を設けたことを特徴とするデジタル信号再生装置。

3. 前記検査回路において、異常が検出された場合に誤り訂正符号による訂正処理を切換える制御回路を設けたことを特徴とする特許請求の範囲第1項または第2項記載のデジタル信号再生装置。
4. 前記制御回路は、前記検査回路において異常が検出された場合に、第2の誤り訂正符号による訂正処理を、第1の誤り訂正符号による誤り検出情報を用いなく行うように訂正回路を切換えることを特徴とする特許請求の範囲第3項記載のデジタル信号再生装置。
5. 前記検査回路において、異常が検出された場合に少なくとも第1の誤り訂正符号で誤りが検出さ

れるように記憶回路へのデータ書き込みを禁止あるいは書き込むデータを変換する制御回路を設けたことを特徴とする特許請求の範囲第1項または第2項記載のデジタル信号再生装置。

以上